



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.03.10
【국제특허분류】	H04N
【발명의 명칭】	픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치 및 방법
【발명의 영문명칭】	Image processing apparatus and method for performing picture in picture with frame rate conversion
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	송석범
【성명의 영문표기】	SONG, Suk Beom
【주민등록번호】	680206-1390413
【우편번호】	442-380
【주소】	경기도 수원시 팔달구 원천동 548번지 원천2단지 주공아파트 203동 1 003호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	28	면	28,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	20	항	749,000	원
---------	----	---	---------	---

【합계】	806,000	원		
------	---------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

본 발명에 따른 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치는, 입력 버퍼부, 데이터 동기화부, 제1~제3메모리 및 메모리 제어부를 구비한다. 입력 버퍼부는 2개 이상의 채널을 통하여 외부에서 비동기적으로 입력되는 입력 데이터들을 서로 다른 입력 클럭 신호들에 의해서 버퍼링하고, 버퍼링된 결과를 제1데이터들 및 제1데이터 인에이블 신호들로서 출력한다. 데이터 동기화부는 입력 클럭 신호들과 제1데이터 인에이블 신호들에 응답하여 입력 버퍼부로부터 인가되는 제1데이터를 출력 클럭 신호에 동기시키고, 동기된 데이터들을 각각의 제1데이터 인에이블 신호에 응답하여 제2데이터들과 제2데이터 인에이블 신호들로서 출력한다. 제1메모리는 제2데이터들을 시간적으로 멀티플렉싱하여 서로 다른 영역에 저장하고, 제1메모리 인에이블 신호에 응답하여 저장된 데이터를 출력한다. 제2메모리는 제1메모리에서 출력되는 데이터를 소정의 프레임 버퍼 제어 신호에 응답하여 기입 및 독출한다. 제3메모리는 제2메모리에서 출력되는 데이터를 저장하고, 저장된 데이터를 제2메모리 인에이블 신호에 응답하여 디스플레이 신호로서 출력한다. 메모리 제어부는 제1메모리와 제2메모리 간의 데이터 흐름, 제2메모리에서의 제1, 제2입력 데이터와 디스플레이 신호의 데이터 프레임 속도 및 제2메모리와 제3메모리 간의 데이터 흐름을 제어한다.

### 【대표도】

도 1

**【명세서】****【발명의 명칭】**

픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치 및 방법{Image processing apparatus and method for performing picture in picture with frame rate conversion}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치를 설명하기 위한 블록도이다.

도 2는 도 1에 도시된 장치의 제1데이터 동기화부를 설명하기 위한 블록도이다.

도 3(a)~도 3(j)는 도 2에 도시된 제1데이터 동기화부에 포함된 주파수 변환 모듈의 동작을 설명하기 위한 타이밍도들이다.

도 4는 도 1에 도시된 장치에서 제2데이터 동기화부를 설명하기 위한 블록도이다.

도 5는 본 발명의 실시예에 따른 픽처 인 픽처 및 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 방법을 설명하기 위한 플로우차트이다.

도 6은 도 1에 도시된 장치에서 제1FIFO의 데이터 입출력 흐름을 설명하기 위한 도면이다.

도 7(a) 및 도 7(b)는 도 1에 도시된 장치에서 프레임 버퍼의 동작을 설명하기 위한 도면들이다.

도 8은 도 1에 도시된 장치에서 제2FIFO의 데이터 입출력 흐름을 설명하기 위한 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 영상 처리 시스템에 관한 것으로서, 특히, 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치 및 방법에 관한 것이다.
- <10> 일반적인 텔레비전에서는 하나의 디스플레이 장치에 한 채널의 화면이 디스플레이 된다. 그러나, 픽처 인 픽처(Picture- In Picture:이하, PIP 라 함) 기능에 의해 하나의 TV 화면에 복수의 채널 화면이 디스플레이될 수 있다. 이와 같이, PIP 기능은 화면 일부에 다른 채널의 화면을 동시에 디스플레이하는 영상 처리 기법을 말한다. 종래에는 PIP 기능을 수행하기 위해서, 서로 비동기적으로 입력되는 영상 데이터를 저장하기 위한 두 개의 프레임 메모리가 이용되었다. 따라서, PIP기능을 수행하기 위한 영상 처리 장치의 사이즈가 프레임 메모리로 인해 증가되기 때문에, 사이즈 면에서 비효율적인 특성을 나타낼 수 있다.
- <11> 또한, 입력되는 영상 신호의 프레임 속도와 디스플레이 장치의 프레임 속도가 서로 다른 경우에, 프레임 속도를 맞춰주기 위해 프레임 속도 변환(Frame rate conversion) 장치가 이용된다. 종래의 프레임 속도 변환 장치는 위상 동기 루프(Phase Locked Loop: 이하, PLL이라 함)를 이용하여 프레임 버퍼 클럭으로 사용하는 클럭을 입력 신호의 주파수에 동기시킴으로써 데이터 손실을 방지한다. 그러나, PLL을 사용하면 회로 사이즈가 커질 뿐만 아니라, 프레임 버퍼 운용 방법이 복잡해지기 때문에 효율적인 방법으로 볼 수 없다.

<12> 또한, 전술한 PIP 기능과 프레임 변환 속도를 동시에 고려하는 경우에 다음과 같은 문제점이 발생할 수 있다. 예를 들어, 입력 소스가 2개이고, 그 입력 신호들은 서로 동기가 전혀 맞지 않는 비동기적인 데이터인 것으로 가정한다. 이 때, 두 입력 신호를 하나의 디스플레이 장치에 디스플레이시키고자 하면, 두 입력 신호는 서로 동기되어야 한다. 게다가, 디스플레이 장치가 물리적/기술적 특성상 다양한 동기 신호를 생성해줄 수 있는 멀티-동기(multi-sync) 기능을 제공하지 못하는 제약이 있을 경우에는, 디스플레이 장치가 지원하는 프레임 속도로 두 입력 신호를 동시에 변환시키는 기능이 제공되어야 한다. 예를 들어, 액정 표시 장치(Liquid Crystal Device:이하, LCD라 함) 모니터의 경우, SXGA급(1280\*1024) 모니터는 물리적 제약에 의해 출력 디스플레이 신호의 프레임 속도가 75KHz 이내로 제한된다. 또한, UXGA급(1600\*1200) 모니터는 60Hz 이내의 프레임 속도로 제한된다. 즉, 이러한 디스플레이 장치에, 제한된 프레임 속도 이상의 입력 신호를 디스플레이하고자 할 경우에는 입력 신호에 대한 프레임 속도를 낮춰주어야 한다. 또한, 두 입력 소스의 프레임 속도가 다르고, 디스플레이 장치가 하나일 때는 디스플레이 장치가 허용하는 프레임 속도로 입력 소스의 프레임 속도를 독립적으로 변환시켜야 한다. 그러나, 종래에는 PIP 기능과 프레임 속도 변환을 동시에 수행하는 경우에, 두 입력 신호를 동기시키는 과정이 복잡하게 이루어지고, 그 과정에서 데이터 손실이 발생할 수 있으며 프레임 메모리의 증가로 인해 시스템 사이즈가 커진다는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<13> 본 발명이 이루고자하는 기술적 과제는, 메모리를 효율적으로 운용함으로써 하나의 프레임 버퍼를 이용하여 PIP 기능을 수행함과 동시에, 간단한 데이터 동기화 회로를 이용하여 입력 신호와 출력 신호의 동기가 맞지 않는 상태에서도 데이터 손실없이 프레임

속도 변환을 수행할 수 있는 영상 처리 장치를 제공하는데 있다.

<14> 본 발명이 이루고자하는 다른 기술적 과제는, 상기 영상 처리 장치에서 수행되는 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<15> 상기 과제를 이루기위해, 본 발명에 따른 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치는, 서로 다른 채널을 통하여 인가되는 다수의 비 동기적인 입력 데이터들을 하나의 디스플레이 장치에 디스플레이하고, 상기 입력 데이터들의 프레임 속도를 디스플레이 장치의 출력 프레임 속도에 맞게 변환하는 영상 처리 장치에 있어서, 입력 버퍼부, 데이터 동기화부, 제1~제3메모리 및 메모리 제어부를 구비한다. 입력 버퍼부는 2개 이상의 채널을 통하여 외부에서 비동기적으로 입력되는 입력 데이터들을 서로 다른 입력 클럭 신호들에 의해서 버퍼링하고, 버퍼링된 결과를 제1데이터들 및 제1데이터 인에이블 신호들로서 출력한다. 데이터 동기화부는 입력 클럭 신호들과 제1데이터 인에이블 신호들에 응답하여 입력 버퍼부로부터 인가되는 제1데이터를 출력 클럭 신호에 동기시키고, 동기된 데이터들을 각각의 제1데이터 인에이블 신호에 응답하여 제2데이터들과 제2데이터 인에이블 신호들로서 출력한다. 제1메모리는 제2데이터들을 시간적으로 멀티플렉싱하여 서로 다른 영역에 저장하고, 제1메모리 인에이블 신호에 응답하여 저장된 데이터를 출력한다. 제2메모리는 제1메모리에서 출력되는 데이터를 소정의 프레임 버퍼 제어 신호에 응답하여 기입 및 독출한다. 제3메모리는 제2메모리에서 출력되는 데이터를 저장하고, 저장된 데이터를 제2메모리 인에이블 신호에 응답하여 디스플레이 신호로서 출력한다. 메모리 제어부는 제1메모리와 제2메모리 간의 데이터 흐름을



제어하기 위해 제1메모리 인에이블 신호를 생성하고, 제1, 제2입력 데이터와 디스플레이 신호의 데이터 프레임 속도를 제어하기 위해 프레임 버퍼 제어 신호를 생성하며, 제2메모리와 제3메모리 간의 데이터 흐름을 제어하기 위해 제2메모리 인에이블 신호를 생성한다. 를 구비하는 것을 특징으로 한다.

<16>      상기 다른 과제를 이루기위해, 본 발명에 따른 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 방법은, 서로 다른 채널을 통하여 인가되는 다수의 비동기적인 입력 데이터들을 하나의 디스플레이 장치에 디스플레이하고, 입력 데이터들의 프레임 속도를 디스플레이 장치의 출력 프레임 속도에 맞게 변환하는 영상 처리 방법에 있어서, (a) 내지 (e)단계를 구비한다. (a) 단계는 다수의 입력 데이터들을 각각의 입력 클럭 신호에 의해 버퍼링하고, 버퍼링된 각 데이터를 출력 클럭 신호에 동기시킨다. (b)단계는 출력 클럭 신호에 동기된 다수의 입력 데이터들을 각각의 입력 인에이블 신호에 응답하여 제1메모리에 저장한다. (c)단계는 제1메모리의 기입 어드레스와 독출어드레스를 비교하여 제1메모리에 저장된 데이터를 제2메모리에 저장할 것인지를 결정한다. (d)단계는 다수의 입력 데이터의 프레임 속도와 출력 디스플레이 신호의 프레임 속도를 비교하여 제2메모리의 데이터 기입 및 독출을 제어한다. (e)단계는 제3메모리의 기입 어드레스와 독출 어드레스를 비교하여 제2메모리의 출력 데이터를 제3메모리에 저장할 것인지를 결정하고, 제3메모리에 저장된 데이터를 디스플레이 장치에 나타내기 위한 디스플레이 신호를 출력한다.

<17>      이하, 본 발명에 따른 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 장치 및 방법에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

<18>      도 1은 본 발명의 실시예에 따른 픽처 인 픽처 기능과 프레임 속도 변환을 동시에

수행하기 위한 영상 처리 장치를 설명하기 위한 블록도로서, 제1입력 버퍼(100), 제2입력 버퍼(105), 제1데이터 동기화부(110), 제2데이터 동기화부 (115), 제1FIFO(120), 프레임 버퍼(130), 제2FIFO(140), 메모리 제어부(150) 및 칼라 스페이스 변환부(160)로 구성된다.

<19> 제1입력 버퍼(100)는 제1채널을 통하여 인가되는 제1입력 데이터(IN1)를 제1클럭 신호(CK\_G)에 응답하여 버퍼링하고, 버퍼링된 결과를 제1데이터와 제1데이터 인에이블 신호로서 출력한다. 여기에서, 제1입력 데이터(IN1)는 외부에서 인가되는 그래픽 데이터, 예를 들어, R, G, B신호인 것으로 가정될 수 있다. 이 때, 제1클럭 신호는 그래픽 신호를 버퍼링하기 위한 그래픽 클럭 신호(CK\_G)이며, 입력 버퍼(100)에서 출력되는 제1데이터와 제1데이터 인에이블 신호는 각각 제1그래픽 데이터(GDATA1)와 제1그래픽 인에이블 신호(GEN1)가 된다. 또한, 제1입력 버퍼(100)의 출력 데이터(GDATA1)는 메모리 제어부(150)에서 출력되는 제1입력 블러킹 신호(IN\_BLK\_G)에 응답하여 블러킹(blocking)되며, 블러킹된 상태에서는 제1데이터 동기화부(110)로 인가되지 않도록 차단된다.

<20> 제2입력 버퍼(105)는 제2채널을 통하여 인가되는 제2입력 데이터(IN2)를 제2클럭 신호(CK\_V)에 응답하여 버퍼링하고, 버퍼링된 결과를 제2데이터와 제2데이터 인에이블 신호로서 출력한다. 여기에서, 제2입력 데이터는 외부에서 인가되는 비디오 신호, 예를 들어, 휘도 신호(Y)와, 색차 신호(U/V 신호)인 것으로 가정될 수 있다. 이러한 경우에, 제2클럭 신호는 비디오 신호를 버퍼링하기 위한 비디오 클럭 신호(CK\_V)이며, 입력 버퍼(105)에서 출력되는 제2데이터와 제2데이터 인에이블 신호는 각각 제1비디오 데이터(VDATA1)와 제1비디오 인에이블 신호 (VEN1)가 된다. 또한, 제2입력 버퍼(105)의 출력

데이터(VDATA1)는 메모리 제어부(150)에서 출력되는 제2입력 블러킹 신호(IN\_BLK\_V)에 응답하여 블러킹 (blocking)되며, 블러킹된 상태에서는 제2데이터 동기화부(115)로 인가되지 않도록 차단된다.

<21> 도 1의 실시예에서는 2개의 입력 버퍼를 이용하는 경우에 대하여 도시되었으나, 설계 방식에 따라서 2개 이상이 이용될 수 있다. 또한, 상기 입력 버퍼들(100, 105)은 하나의 입력 버퍼부로 통합되어 명명될 수 있다.

<22> 도 1의 제1데이터 동기화부(110)는 그래픽 클럭 신호(CK\_G)와 제1그래픽 인에이블 신호(GEN1)에 응답하여 제1그래픽 데이터(GDATA1)를 입력하고, 입력된 데이터를 출력 클럭 신호(CK\_0)에 동기시킨다. 또한, 제1데이터 동기화부(110)는 출력 클럭 신호(CK\_0)에 동기된 그래픽 데이터를, 지연된 제2비디오 인에이블 신호 (DEN)에 응답하여 제2그래픽 데이터(GDATA2)와 제2그래픽 인에이블 신호(GEN2)로서 출력한다.

<23> 제2데이터 동기화부(115)는 제2입력 버퍼(105)에서 출력되는 제1비디오 인에이블 신호(VEN1)와 비디오 클럭 신호(CK\_V)에 응답하여 제1비디오 데이터 (VDATA1)를 입력하고, 입력된 데이터를 상기 출력 클럭 신호(CK\_0)에 동기시킨다. 또한, 제2데이터 동기화부(115)는 출력 클럭 신호(CK\_0)에 동기된 비디오 데이터를 제2비디오 데이터(VDATA2)와 제2비디오 인에이블 신호(VEN2)로서 출력한다. 여기에서, 제2비디오 데이터(VDATA2)와 제2비디오 인에이블 신호(VEN2)는 칼라 스페이스 변환부(160)로 출력된다. 도 1의 제1, 제2데이터 동기화부(110, 115)는 하나의 데이터 동기화부로 통합되어 명명될 수 있다.

<24> 칼라 스페이스 변환부(160)는 제2데이터 동기화부(115)에서 출력되는 제2비디오 데이터(VDATA2)를 R/G/B의 그래픽 데이터로 변환하고, 변환된 데이터(GVDATA)를 출력한다. 또한, 칼라 스페이스 변환부(160)는 제2비디오 인에이블 신호(VEN2)를 소정 시간 지

연시키고, 지연된 신호(DVEN)를 각각 메모리 제어부(150)와 제1데이터 동기화부(110)로 인가한다. 이러한 칼라 스페이스 변환부(160)는 선택적으로 이용되며, 시스템 설계 방식에 따라서 이용되지 않을 수도 있다. 칼라 스페이스 변환부(160)에서 그래픽 데이터로 변환된, 비디오 데이터(VGDATA)는 제1FIFO(120)에 인가된다.

<25> 메모리 제어부(150)는 제1FIFO(120)와 프레임 버퍼(130)간의 데이터 흐름을 제어하기 위해 제1FIFO인에이블 신호(FEN1)를 생성하고, 입력 데이터와 출력 디스플레이 신호의 프레임 속도를 제어하기 위해 프레임 버퍼 제어 신호(FBCON)를 생성한다. 또한, 메모리 제어부(150)는 프레임 버퍼(130)와 제2FIFO(140) 간의 데이터 흐름을 제어하기 위해 상기 제2FIFO 인에이블 신호(FEN2)를 생성한다. 이러한 동작을 위하여, 메모리 제어부(150)는 제1FIFO 제어부(152), 프레임 버퍼 제어부(154) 및 제2FIFO 제어부(156)로 구성된다.

<26> 구체적으로, 제1FIFO제어부(152)는 제1데이터 동기화부(110)에서 출력되는 제2그래픽 인에이블 신호(GEN2), 지연된 제1비디오 인에이블 신호(DVEN) 및 제1프레임 데이터 인에이블 신호(FDEN1)에 응답하여 제1FIFO인에이블 신호(FEN1)를 생성한다. 또한, 제1FIFO제어부(152)는 제1FIFO(120)의 기입 어드레스와 독출 어드레스를 생성하고, 상기 기입/독출 어드레스 간의 언더플로우(UNDERFLOW:이하, UNF)를 검출하여 그 결과에 따라서 제1FIFO(120)의 데이터 기입 및 독출을 제어한다. 이 때, 기입 어드레스와 독출 어드레스의 생성은 순환적인(circular) 어드레싱(addressing)으로 이루어진다. 또한, 언더플로우(UNF)는 프레임 버퍼 제어부(154)로 입력되고, 프레임 버퍼 제어부(154)로부터 그에 상응하는 제1프레임 데이터 인에이블 신호(FDEN1)를 입력받아 제1FIFO 인에이블 신호(FEN1)가 생성된다. 여기에서, 제1프레임 데이터 인에이블 신호(FDEN1)는 프레임 버퍼

(130)의 기입 구간과 독출 구간을 나타내는 신호 및 상기 기입 구간에서 그래픽 데이터 및 비디오 데이터의 기입 구간을 나타내는 신호라 할 수 있다.

<27> 프레임 버퍼 제어부(154)는 프레임 버퍼(130)에 입력되는 입력 데이터들과 출력 디스플레이 신호의 프레임 속도를 비교하고, 비교된 결과에 응답하여 제1, 제2입력 버퍼의 데이터들을 블러킹하는 입력 블러킹 신호(IN\_BLK\_G, IN\_BLK\_V)를 생성하여 제1, 제2입력 버퍼(10, 105)로 인가한다. 또한, 프레임 버퍼 제어부(154)는 제1FIFO 제어부(152)에서 검출되는 언더플로우(UNF) 및 제2FIFO제어부(156)에서 검출되는 오버플로우(OVERFLOW:이하, OVF)에 의해서 제1, 제2프레임 데이터 인에이블 신호(FDEN1, FDEN2) 및 프레임 버퍼 제어 신호(FBCON)를 생성한다. 프레임 버퍼 제어부(154)에서 수행되는 구체적인 프레임 속도 변환에 관해서는 도 5를 참조하여 구체적으로 설명될 것이다. 또한, 프레임 버퍼 제어부(154)는 프레임 버퍼(130)로부터 제2FIFO(140)로의 데이터 독출 시점에 FDEN2를 액티브하여 제2FIFO(140)로 데이터가 저장되도록 한다.

<28> 제2FIFO 제어부(156)는 제2프레임 데이터 인에이블 신호(FDEN2)와 출력 인에이블 신호(OUT\_EN)에 응답하여 제2FIFO인에이블 신호(FEN2)를 생성한다. 또한, 제2FIFO제어부(156)는 제2FIFO(140)의 기입 어드레스와 독출 어드레스를 생성하고, 기입 어드레스와 독출 어드레스 간의 오버플로우(OVF)를 검출하여 그 결과에 따라서 제2FIFO(140)의 데이터 기입 및 독출을 제어한다. 여기에서, 출력 인에이블 신호(OUT\_EN)는 타이밍 발생 회로(미도시)에서 생성되는 신호로서, 출력 디스플레이 포맷에 맞도록 제2FIFO(140)에서 데이터를 출력한다. 예를 들어, 출력 디스플레이 포맷은 수평 라인 수 및 수직 라인 수 등의 정보를 고려하여 결정될 수 있다.

<29> 제1FIFO(120)는 서로 다른 저장 영역을 구비하며, 제1FIFO 제어부(152)에서 출력되

는 제1FIFO 인에이블 신호(FEN1)와 출력 클럭 신호(CK\_0)에 응답하여 제1데이터 동기화부(110)로부터 입력되는 그래픽 데이터(GDATA2) 및 칼라 스페이스 변환부(160)로부터 출력되는 변환된 비디오 데이터(VGDATA)를 각각의 영역에 배타적으로 저장한다. 여기에서, 제1FIFO(120)에서 출력되는 데이터는 FDATA1로 표시된다.

<30> 프레임 버퍼(130)는 프레임 버퍼 제어부(154)에서 출력되는 프레임 버퍼 제어 신호(FBCON)와 출력 클럭 신호(CK\_0)에 응답하여 제1FIFO(120)의 출력 데이터(FDATA1)를 저장하고, 저장된 데이터를 출력한다. 이 때, 프레임 버퍼(130)에서 출력되는 데이터는 FBADATA로서 표시된다. 프레임 버퍼(130)는 입력되는 영상 데이터들의 적어도 한 프레임 이상의 데이터를 저장할 수 있는 메모리로 구현될 수 있다.

<31> 제2FIFO(140)는 프레임 버퍼(130)의 출력 데이터(FBADATA)를 입력하고, 제2FIFO제어부(156)에서 출력되는 제2FIFO 인에이블 신호(FEN2)에 응답하여 데이터를 출력한다. 이 때, 제2FIFO(140)에서 출력되는 데이터는 FDATA2로 표시되며, 출력 단자(OUT)를 통하여 디스플레이 신호로서 출력된다.

<32> 도 1을 참조하면, 점선을 기준으로 하여 좌측의 블럭은 동기되지 않은 비동기 신호들의 경로를 나타내고, 우측의 블럭은 출력 클럭 신호(CK\_0)에 동기된 신호들의 경로를 나타낸다.

<33> 도 2는 도 1에 도시된 장치의 제1데이터 동기화부(110)를 설명하기 위한 회로도이다. 도 2를 참조하면, 제1데이터 동기화부(110)는 기입 어드레스 카운터(200), 디멀티플렉서(210), 병렬 버퍼(220), 멀티플렉서(230), 독출 어드레스 카운터(240), 언더플로우 검출부(260) 및 제2그래픽 인에이블 신호 발생부(270)로 구성된다.

- <34> 기입 어드레스 카운터(200)는 그래픽 클럭 신호(CK\_G)와 제1그래픽 인에이블 신호(GEN1)에 응답하여 병렬 버퍼(220)의 기입 어드레스를 카운팅하고, 카운팅된 어드레스(CNT\_WADD)를 출력한다. 디멀티플렉서(210)는 기입 어드레스 카운터(200)에서 출력되는 카운팅된 어드레스(CNT\_WADD)에 응답하여 입력된 데이터를 디멀티플렉싱하여 병렬 버퍼(220)의 해당 레지스터에 선택적으로 출력한다.
- <35> 병렬 버퍼(220)는 n개의 병렬 레지스터들(221~22n)로 구성되며, 디멀티플렉서(210)에서 디멀티플렉싱된 데이터들(D1~Dn)을 저장한다. 도 2에 도시된 바와 같이, 입력되는 제1그래픽 데이터(GDATA1)는 그래픽 클럭 신호(CK\_G)에 의해서 병렬 레지스터들(221~22n) 중 해당 레지스터에 저장된다.
- <36> 주파수 변환 모듈(250)은 카운팅된 기입 어드레스(CNT\_ADD)의 주파수 영역을 출력 클럭 신호(CK\_0)의 영역으로 변환하고, 그 결과를 주파수 변환된 기입 어드레스(FC\_WADD)로서 출력한다. 주파수 변환 모듈(250)의 동작에 관해서는 도 3을 참조하여 상세히 설명된다.
- <37> 독출 어드레스 카운터(240)는 출력 클럭 신호(CK\_0)와 제2그래픽 인에이블 신호(GEN2)에 응답하여 병렬 버퍼(220)의 독출 어드레스를 카운팅하고, 카운팅된 독출 어드레스(CNT\_RADD)를 출력한다.
- <38> 독출 어드레스 카운터(240)는 출력 클럭 신호(CK\_0)와 그래픽 인에이블 신호(GEN2)에 응답하여 독출 어드레스를 카운팅하고, 카운팅된 독출 어드레스(CNT\_RADD)를 출력한다.
- <39> 언더플로우 검출부(260)는 독출 어드레스 카운터(240)에서 카운팅된 독출

어드레스(CNT\_RADD)와 주파수 변환된 기입 어드레스(FC\_WADD)를 입력하여 병렬 버퍼(220)에 대한 언더플로우 검출 신호(UND)를 구한다.

<40> 그래픽 인에이블 신호 발생부(270)는 검출된 언더플로우(UND)에 응답하여 제2그래픽 인에이블 신호(GEN2)를 생성한다. 바람직하게는, 언더플로우(UND)와 지연된 제2비디오 인에이블 신호(DVEN)가 논리 조합되어 제2그래픽 인에이블 신호(GEN2)가 생성된다. 이러한 동작을 위해, 그래픽 인에이블 신호 발생부(270)는 인버터들(272, 276) 및 앤드 게이트(274)로 구성된다. 인버터(272)는 언더플로우 검출부(260)에서 검출되는 언더플로우(UND)를 반전시키고, 반전된 신호를 출력한다. 인버터(276)는 지연된 제2비디오 인에이블 신호(DVEN)를 반전시키고, 반전된 신호를 출력한다. 앤드 게이트(274)는 인버터(272)의 출력 신호와 인버터(276)의 출력 신호를 논리곱하고, 논리곱된 신호를 제2그래픽 인에이블 신호(GEN2)로서 출력한다.

<41> 멀티플렉서(230)는 병렬 버퍼(220)의 각 레지스터들(221~22n)에서 출력되는 데이터들을 입력하고, 독출 어드레스 카운터(240)에서 출력되는 카운팅된 독출 어드레스(CNT\_RADD)에 응답하여 제2그래픽 데이터(GDATA2)로서 선택적으로 출력한다.

<42> 이하에서, 도 2의 제1데이터 동기화부(110)의 동작에 관하여 보다 구체적으로 설명된다. 먼저, 제1입력 버퍼(100)를 통하여 제1그래픽 인에이블 신호(GEN1)가 인가되면, 기입 어드레스 카운터(200)는 입력 클럭 신호(CK\_G)에 응답하여 순차적으로 병렬 버퍼(220)의 기입 어드레스를 카운팅한다. 이 때, 카운팅된 기입 어드레스(CNT\_WADD)에 응답하여 디멀티플렉서(210)로부터 출력되는 데이터들이 병렬 버퍼(220)의 해당 레지스터에 저장된다. 이 때, 카운팅된 기입 어드레스(CNT\_WADD)는 주파수 변환되어 FC\_WADD로서 생성되고, 주파수 변환된 기입 어드레스(CNT\_WADD)와 카운팅된 독출 어드레스(CNT\_RADD)에



응답하여 언더플로우 (UND)가 검출된다. 즉, 독출 어드레스가 증가되는 동안, 기입 어드레스의 증가 속도가 늦어서 병렬 버퍼(220)로부터 더 이상 출력할 데이터가 없는 경우에, 언더플로우(UND)는 소정 레벨, 예를 들어, 하이 레벨로 설정된다. 이러한 경우에는, 그래픽 인에이블 신호 발생부(270)에서 발생하는 제2그래픽 인에이블 신호(GEN2)는 로우 레벨이 된다. 따라서, 제1데이터 동기화부(110)에서 멀티플렉서(230)를 통하여 제1FIFO(120)로 출력되는 데이터는 무효 데이터로 간주된다. 그러나, 언더플로우(UND)가 검출되지 않아 로우 레벨로 설정되면, 지연된 제2비디오 인에이블 신호(DVEN)가 로우 레벨이 될 때 그래픽 인에이블 신호(GEN2)는 하이 레벨로 인에이블된다. 따라서, 독출 어드레스 카운터(240)가 인에이블되어 멀티플렉서(230)를 통하여 제1FIFO(120)로 출력되는 그래픽 데이터는 유효 데이터로 간주된다.

<43> 도 3(a)~도 3(j)는 도 2에 도시된 주파수 변환 모듈(250)의 동작을 설명하기 위한 파형도들로서, 도 3(a)는 입력 클럭 신호(예를 들어, 그래픽 클럭 신호)를 나타내고, 도 3(b)는 병렬 버퍼(220)의 기입 어드레스(WADD)를 나타내고, 도 3(c)는 우수(EVEN) 기입 어드레스(WADD\_E)를 나타낸다. 또한, 도 3(d)는 기수(ODD) 기입 어드레스(WADD\_O)를 나타내고, 도 3(e)는 그래픽 클럭 신호(CK\_G)에 의해 생성되는 선택 신호(SEL\_I)를 나타내고, 도 3(f)는 출력 클럭 신호(CK\_O)를 나타내고, 도 3(g)는 출력 클럭 신호(CK\_O)에 동기된 우수 기입 어드레스(WADD\_EO)를 나타내고, 도 3(h)는 CK\_O에 동기된 기수 기입 어드레스(WADD\_OO)를 나타내고, 도 3(i)는 CK\_O에 동기된 선택 신호(SEL\_IO)를 나타내고, 도 3(j)는 주파수 변환된 기입 어드레스(FC\_WADD)를 나타낸다.

<44> 도 3을 참조하여, 도 2의 주파수 변환 모듈(250)의 동작을 설명하면, 도 3(b)에 도시된 그래픽 클럭 신호(CK\_G)에 동기되어 기입 어드레스(WADD)는 각각 도 3(c)의 우수

기입 어드레스(WADD\_E)와, 도 3(d)의 기수 기입 어드레스(WADD\_O)로 나누어진다. 출력 클럭 신호(CK\_0)가 도 3(f)와 같이 입력된다고 할 때, 도 3(e)의 선택 신호(SEL\_I)는 출력 클럭 신호(CK\_0)에 동기되어 도 3(i)의 SEL\_IO와 같이 생성된다. 이 때, CK\_0에 동기된 우수 기입 어드레스와 기수 기입 어드레스는 각각 도 3(g)와 도 3(h)의 WADD\_EO 및 WADD\_OO와 같이 나타난다.

<45> 예를 들어, V1-V3 시점에서와 같이, 타이밍 위반(violation)이 발생되면, 각각의 어드레스들(WADD\_EO, WADD\_OO)과 선택 신호(SEL\_IO)는 a~c에서처럼 부정확하게 표현될 수 있다. 여기에서, 도 3(i)의 선택 신호(SEL\_IO)가 로우 레벨이면, 기수 기입 어드레스(WADD\_OO)가 출력되고, 선택 신호(SEL\_IO)가 하이 레벨이면 우수 기입 어드레스(WADD\_EO)를 출력되도록 구현된 경우를 가정한다. 즉, V1과 V2 시점에 의해 각 a, b 구간이 부정확하다고 하더라도, a구간에서 SEL\_IO는 로우 레벨이고, b구간에서는 SEL\_IO가 하이 레벨이 되므로 변환된 기입 어드레스(FC\_WADD)는 정상적으로 출력될 수 있다. 또한, V3 시점에서 도 3(i)의 선택 신호(SEL\_IO)의 c구간에서 출력되는 도 3(j)의 어드레스(D)는 우수와 기수 중 어느 것이어도 관계없다. 즉, 변환된 기입 어드레스(FC\_EADD)는 어드레스 3 또는 4가 되어도 무방하다.

<46> 도 4는 도 1의 제2데이터 동기화부(115)를 설명하기 위한 도면이다. 제2데이터 동기화부(115)는 도 2에 도시된 제1데이터 동기화부(11)와 거의 유사한 구조를 갖지만, 출력단의 구조에 있어서만 차이가 있다. 따라서, 동일한 구성요소들은 생략하고 언더플로우 검출부(30)와 비디오 인에이블 신호 발생부(32)만이 도 4에 도시된다.

<47> 도 4를 참조하면, 비디오 인에이블 신호 발생부(32)는 언더플로우 검출부(30)에서 검출되는 언더플로우 검출 신호(UND)를 반전시키는 인버터(34)로 구성된다. 즉, 인버터

(34)는 도 4의 언더플로우 검출부(30)에서 검출되는 언더플로우 신호(UND)를 반전시키고, 그 결과를 제2비디오 인에이블 신호 (VEN2)로서 출력한다. 구체적으로 도시되지는 않았으나, 제2비디오 인에이블 신호(VEN2)는 비디오 신호를 위한 독출 어드레스 카운터(미도시)로 입력되고, 동시에 칼라 스페이스 변환부(160)를 통하여 지연된 비디오 인에이블 신호(DVEN) 로서 출력된다.

<48> 이와 같이, 도 2 내지 도 4에서 설명된 제1, 제2데이터 동기화부(110, 115)에서 제2비디오 인에이블 신호(VEN2)가 인에이블된 상태이면, 비디오 데이터 (VDATA2)가 제1FIFO(120)로 입력되는 시점이다. 이 때, 제2그래픽 인에이블 신호 (GEN2)는 인에이블되지 않는다. 따라서, 제2그래픽 데이터(GDATA2)는 제1FIFO(120)에 입력되지 않고 병렬 버퍼(220)에 저장되어 있는 상태를 나타낸다. 반면, 제2그래픽 인에이블 신호(GEN2)가 인에이블되면, 병렬 버퍼(220)에 저장되어 있던 그래픽 데이터가 제1FIFO(120)로 입력된다. 이 때, 제2비디오 인에이블 신호(VEN2)는 액티브되지 않기 때문에, 비디오 데이터는 제1FIFO(120)에 입력되지 않고 병렬 버퍼(220)에 저장된 상태를 유지한다.

<49> 도 5a 및 도 5b는 도 1에 도시된 장치에서 수행되는, 픽처 인 픽처 기능과 프레임 속도 변환을 동시에 수행하기 위한 영상 처리 방법을 설명하기 위한 플로우차트이다. 도 1~도 5를 참조하여 본 발명에 따른 영상 처리 장치의 동작 및 그 방법에 관하여 상세히 설명된다.

<50> 먼저, 도 5를 참조하면 PIP 기능 수행 시에 서로 다른 채널을 통하여 각각의 입력 클럭 신호(CK\_G, CK\_V)에 의해 입력되는 제1, 제2입력 데이터(IN1, IN2)를 버퍼링하고, 버퍼링된 각 데이터를 출력 클럭 신호(CK\_O)에 동기시킨다 (제500단계). 즉, 제500단계는 도 1의 제1, 제2입력 버퍼들(100,105)과 제1, 제2데이터 동기화부(110, 115)에서 수

행되는 단계들로서, 제1, 제2입력 데이터는 각각 그래픽 데이터와 비디오 데이터가 된다. 도 1을 참조하면, 버퍼링된 데이터(GDATA1, VDATA1)는 각각 그래픽 및 비디오 인에이블 신호(GEN1, VEN1)와 함께 제1, 제2동기화부(110, 115)로 인가된다. 즉, 각각의 입력 클럭 신호에 동기되는 그래픽 신호 또는 비디오 신호는, 도 2 내지 도 4에서 설명된 과정에서와 같이 제1, 제2동기화부(110, 115)에서 출력 클럭 신호(CK\_0)에 동기되어 각각 GDATA2 또는 VDATA2로서 출력된다.

<51> 제500단계 후에, 출력 클럭 신호에 동기된 그래픽 데이터 또는 비디오 데이터는 각각의 입력 인에이블 신호(GEN2, DVEN)에 응답하여 제1FIFO(120)에 저장된다(제510단계). 제510단계를 구체적으로 설명하면, 먼저, 제1입력 데이터, 즉, 그래픽 데이터(GDATA2)에 대한 제2그래픽 인에이블 신호(GEN2)가 액티브되었는지가 판단된다(제512단계). 만일, 제2그래픽 인에이블 신호(GEN2)가 액티브되었으면, 출력 클럭 신호(CK\_0)에 동기된 그래픽 데이터(GDATA2)가 제1FIFO(120)에 저장된다(제514단계). 반면, 제512단계에서 제2그래픽 인에이블 신호(GEN2)가 액티브되지 않았다면, 제2비디오 인에이블 신호(VEN2)가 액티브되었는지가 판단된다(제516단계). 제516단계에서 제2비디오 인에이블 신호(VEN2)가 액티브되면, 출력 클럭 신호(CK\_0)에 동기된 제2비디오 데이터(VDATA2)가 제1FIFO(120)에 저장된다(제518단계). 이 때, 제1FIFO(120)의 기입 어드레스와 독출 어드레스에 의해 데이터의 기입 및 독출이 이루어진다.

<52> 이 때, 제1FIFO(120)의 기입 어드레스와 독출 어드레스 간의 관계를 비교하여 제1FIFO(120)의 데이터가 프레임 버퍼(130)에 저장될 것인지가 결정된다(제520단계). 구체적으로, 제1FIFO(120)의 기입 어드레스와 독출 어드레스간의 언더플로우(UNF)가 발생되는지가 판단된다(제522단계). 제522 단계에서 언더플로우를 구하는 과정은 다음과 같

이 이루어진다. 예를 들어, 제1FIFO(120)의 기입 어드레스가 독출 어드레스보다 큰 경우에, 다음 조건을 만족하면 언더플로우(UNF)가 발생하는 것으로 간주된다.

<53> 【수학식 1】

$$WADD\_F1 - RADD\_F1 < TH1$$

<54> 여기서, WADD\_F1는 제1FIFO(120)의 기입 어드레스를 나타내고, RADD\_F1은 제1FIFO(120)의 독출 어드레스를 나타내고, TH1은 사용자가 임의로 설정할 수 있는 드레스홀드 값을 나타낸다. 따라서, 기입 어드레스(WADD\_F1)가 독출 어드레스보다 큰 상태에서, 기입 어드레스와 독출 어드레스의 차가 드레스홀드(TH1)보다 작은 경우에는 제1FIFO제어부(152)에서 언더플로우(UNF)가 발생하는 것으로 판단하여 UNF를 하이 레벨로 설정한다. 즉, 언더플로우(UNF)가 발생하는 것으로 판단되면, 제1FIFO(120)의 데이터를 프레임 버퍼(130)로 출력하지 않는다(제526단계). 구체적으로, 프레임 버퍼 제어부(154)는 제1FIFO 제어부(152)에서 언더플로우(UNF)를 수신하고, 데이터 인에이블 신호(FDEN1)를 제1FIFO 제어부(152)로 출력하여 제1FIFO(120)으로부터의 데이터 출력을 중지한다. 그러나, 그 차가 드레스홀드(TH1)보다 크다면 언더플로우(UNF)는 발생되지 않고로우 레벨로 유지된다. 즉, 언더플로우(UNF)가 발생되지 않는 것으로 판단되면, 제1FIFO(120)의 데이터는 프레임 버퍼(130)에 저장된다(제524단계). 여기서, 제1FIFO(120)에 저장된 그래픽 데이터가 저장될 것인지 비디오 데이터가 저장될 것인지는 프레임 버퍼 제어부(154)에서 출력되는 제1프레임 데이터 인에이블 신호(FDEN1)에 의해 결정된다.

<55> 또한, 제1FIFO(120)의 기입 어드레스가 독출 어드레스보다 크지 않은 경우에 대하여, 다음 조건을 만족하는 경우에도 언더플로우(UNF)가 검출되는 것으로 판단된다.

## &lt;56&gt; 【수학식 2】

$$N1 + WADD\_F1 - RADD\_F1 < TH1$$

<57>       여기에서, N1은 제1FIFO(120)의 어드레스 사이즈를 나타낸다. 다시 말해서, 그래픽 데이터의 경우에는 제1FIFO(120) 중에서 그래픽 데이터 영역의 어드레스 사이즈를 말하고, 비디오 데이터의 경우에는 제1FIFO(120) 중에서 비디오 데이터 영역의 어드레스 사이즈를 말한다. 즉, 수학식 2를 참조하면, 제1FIFO(120)의 기입 어드레스(WADD\_F1)와, 독출 어드레스(RADD\_F1)의 차에, 제1FIFO(120)의 어드레스 사이즈(N1)를 더한 값이 드레스홀드(TH1)보다 작으면, 언더플로우(UNF)가 발생하는 것으로 판단된다. 이 때, 도 5의 제526단계가 실행된다. 그 이외의 경우에 대해서는 언더플로우(UNF)가 발생되지 않는 것으로 판단되어 도 5의 제524단계가 실행된다. 이와 같이, 제520단계에서 발생하는 상기 수학식 1, 2의 언더플로우(UNF)는 그래픽 데이터와 비디오 데이터에 공통적으로 적용될 수 있다. 제520단계에서 수행되는, 제1FIFO(120)와 프레임 버퍼(130) 간의 데이터 흐름은 도 6을 참조하여 상세히 설명될 수 있다.

<58>       도 6을 참조하면, VG\_DELIMIT는 비디오 데이터와 그래픽 데이터 영역을 구분하기 위한 저장 주소를 나타낸다. 전술한 바와 같이, 제1FIFO(120)에는 그래픽 데이터와 비디오 데이터가 서로 배타적으로 입력되므로, 그래픽 데이터와 비디오 데이터의 저장 영역이 구분된다. 따라서, 그래픽 데이터와 비디오 데이터에 대한 각각의 기입 어드레스의 생성도 독립적으로 이루어진다. 도 6의 참조 부호 62는 제1FIFO(120)의 비디오 데이터 입력을 나타내고, 참조 부호 64는 제1FIFO(120)의 비디오 데이터 출력을 나타낸다. 또한, 참조 부호 66은 제1FIFO(120)의 그래픽 데이터 입력을 나타내고, 68은 제1FIFO(120)의 그래픽 데이터 출력을 나타낸다. 즉, PIP를 구현하면서 디스플레이 장치에 맞는 프레임

속도 변환을 수행하기 위해서는, 그래픽 클럭 신호(CK\_G)에 동기되어 입력되는 그래픽 데이터(66)의 속도와, 비디오 클럭 신호(CK\_V)에 동기되어 입력되는 비디오 데이터(62)의 속도를 더한 것을 수용할 수 있도록 출력 클럭 신호(CK\_O)의 주파수가 결정되어야 한다. 또한, 구간( $T_p$ )은 프레임 버퍼(130)의 데이터 독출/기입 주기를 나타내고, 구간( $T_w$ )은 제1FIFO(120)에서 프레임 버퍼(130)로 데이터가 저장되는 기입 주기를 나타내고, 구간( $T_R$ )은 프레임 버퍼(130)에서 제2FIFO(140)로 데이터가 출력되는 데이터 독출 주기를 나타낸다.  $T_G$ 와  $T_V$ 는 각각 그래픽 데이터의 기입 주기와 비디오 데이터의 기입 주기를 나타내며, 제1FIFO(120) 내에서 타임 셰어링(time sharing)에 의해 배타적으로 사용된다. 제1FIFO(120)의 사이즈는  $T_w$ 와  $T_R$ 의 주기에 따라서 결정되며, 제1FIFO(120)에서 VG\_DELIMIT는 그래픽 데이터와 비디오 데이터의 입력(62, 66) 속도에 따라서 결정된다.

<59> 도 6을 참조하면, UNF1은 그래픽 데이터 영역에서 언더플로우가 검출되는 경우를 나타내고, UNF2는 비디오 데이터 영역에서 언더플로우가 검출되는 경우를 나타낸다. 예를 들어, 프레임 버퍼(130)에서 제1FIFO(120)에 저장된 그래픽 데이터를 독출할 때, 입력 데이터의 속도보다 출력 데이터의 속도가 앞서면 제1FIFO 제어부(152)에서 프레임 버퍼 제어부(154)로 언더플로우(UNF), 바람직하게는, UNF1를 출력한다. 따라서, 프레임 버퍼(130)가 더 이상 데이터를 요구하지 않도록 프레임 버퍼 제어부(154)에 알린다. 전술한 바와 같이, 제1프레임 데이터 인에이블 신호(FDEN1)는 상기  $T_w$ ,  $T_R$ 을 나타내는 구간 설정 신호와,  $T_G$ ,  $T_V$ 를 나타내는 구간 설

정 신호가 포함된다. 따라서, 언더플로우가 발생되면,  $T_w$ 를 나타내는 구간 설정 신호는 디스에이블되어 제1FIFO(120)로부터 프레임 버퍼(130)로 더 이상 데이터가 출력되지 않는다. 비디오 데이터에 대한 언더플로우(UNF2)가 발생하는 경우에도 동일한 방식으로 동작한다.

<60> 다시, 도 5를 참조할 때, 제520단계에서 제1FIFO(120)로부터 프레임 버퍼(130)로의 데이터 입출력이 이루어지면, 상기 저장된 그래픽 데이터 또는 비디오 데이터의 입력 프레임 속도와, 출력 디스플레이 신호의 프레임 속도를 비교한 결과에 따라서 프레임 버퍼(130)의 데이터 기입 및 독출이 제어된다 (제530단계). 구체적으로, 그래픽 데이터 또는 비디오 데이터의 입력 프레임 속도가 디스플레이 신호의 프레임 속도보다 빠른지가 판단된다(제532단계). 여기에서, 그래픽 데이터 또는 비디오 데이터의 프레임 속도가 디스플레이 신호의 프레임 속도보다 빠른 것으로 판단되면, 프레임 버퍼 제어부(154)는 제1, 제2입력 버퍼(100, 105)로 입력 블러킹 신호(IN\_BLK\_G, IN\_BLK\_V)를 출력한다. 따라서, 제1, 제2입력 버퍼(100, 105)를 제어하여 그래픽 데이터 또는 비디오 데이터의 1프레임을 블러킹함으로써 제1, 제2데이터 동기화부(115)에 데이터가 입력되지 않도록 제어된다(제534단계). 예를 들어, 프레임 버퍼 제어부(154)에서 발생하는 제1입력 블러킹 신호(IN\_BLK\_G) 또는 제2입력 블러킹 신호(IN\_BLK\_V)는 다음 수학적 식 3에 의한 조건에 따라서 발생 여부가 결정된다.

<61> 【수학적 식 3】

$$M - F + P_i + R_{fr} > F$$

<62> 여기에서, M은 저장 가능한 전체 프레임 버퍼(130) 사이즈를 나타내고, F는 1프레임의 이미지 사이즈를 나타내고,  $P_i$ 는 프레임 버퍼(130)에서 1프레임 데이터의 입력이



시작될 때 현재 독출하고 있는 프레임 데이터의 위치를 라인 단위의 값으로 표시한 것이다. 또한,  $R_{fr}$ 은 출력 프레임 속도/입력 프레임 속도를 나타낸다. 따라서, 수학적 3의 조건을 만족하면, 프레임 버퍼 제어부(154)에서 입력 블러킹 신호(IN\_BLK\_G 또는 IN\_BLK\_V)가 인에이블되지 않고 로우 레벨로 유지된다. 제1입력 블러킹 신호(IN\_BLK\_G)가 로우 레벨이라는 것은 정상적인 상태를 나타낸다. 즉, 프레임 버퍼(130)에 저장된 임의의 프레임 데이터가 독출되는 동안, 다음 프레임 데이터가 빠른 속도로 프레임 버퍼(130)에 기입되더라도 독출 중인 데이터를 앞지르게 되어 데이터가 깨지는 현상이 발생되지 않는 조건을 말한다. 그러나, 상기 수학적 3을 만족하지 않는 모든 조건에서 제1입력 블러킹 신호(IN\_BLK\_G)는 하이 레벨로 액티브되어 도 1의 제1입력 버퍼(100)에서 제1데이터 동기화부(110)로 데이터가 출력되는 것을 막는다. 따라서, 제1데이터 동기화부(110)와 제1FIFO(120)를 통하여 프레임 버퍼(130)로 데이터가 입력되지 않는다. 따라서, 프레임 속도에 의해 프레임 버퍼(130) 내에서 데이터가 깨지는 현상이 방지될 수 있다.

<63>      도 7(a) 및 도 7(b)는 도 1에 도시된 장치에서 프레임 버퍼의 동작을 설명하기 위한 도면들이다. 도 7(a)를 참조하면, 현재 독출 프레임의 시작 시점으로부터 다음 입력 프레임이 시작될 때의 독출 시점까지의 구간이  $P_i$ 로 표현된다. 또한, 다음 입력 프레임의 시작 시점에서 현재 독출 프레임의 시작 시점까지의 구간이 M-F로 표시된다. 또한, 다음 입력 프레임이 시작할 때의 독출 시점으로부터 다음 입력 프레임이 종료될 때 예측되는 독출 시점 사이의 구간은  $R_{fr}$ 로 표시된다.

<64>      다시, 도 5를 참조하면, 제532단계에서 그래픽/비디오 데이터의 프레임 속도가 디스플레이 신호의 프레임 속도보다 빠르지 않은 것으로 판단되면, 입력 데이터들의 프레

입 속도가 디스플레이 신호의 프레임 속도보다 늦은지가 판단된다(제536단계). 만일, 제536단계에서 그래픽/비디오 데이터의 프레임 속도가 출력 프레임 속도보다 늦지 않은 것으로 판단되면, 제524단계를 수행한다. 그러나, 입력 프레임 속도가 출력 신호의 프레임 속도보다 늦은 것으로 판단되면, 프레임 버퍼(130)에 저장된 그래픽 또는 비디오 데이터가 1프레임 반복하여 독출된다 (제538단계). 즉, 다음 조건을 모두 만족하는지의 여부에 따라서 프레임 데이터를 반복하여 독출할 것인지가 결정된다.

<65> 【수학식 4】

$$Pi + \frac{1}{R_{fr}} > F, Pi > M - F$$

<66> 즉, 수학식 4의 조건을 만족하는 경우에는, 프레임 데이터를 반복하여 독출할 것을 나타내는 신호가 인에이블되지 않는다. 그러나, 수학식 4의 조건을 만족하지 않는 경우에는, 프레임 버퍼 제어 신호(FBCON)에 의해서 프레임 버퍼(130)는 이전에 출력된 데이터의 1프레임을 반복하여 출력하게 된다. 여기에서, 프레임 버퍼(130)의 데이터를 반복하여 독출할 것을 나타내는 신호를 RE\_read라 하고, 프레임 버퍼 제어 신호(FBCON)에 포함되어 있다고 가정하면, 수학식 4가 만족될 때 RE\_read는 로우 레벨이 된다. 따라서, 프레임 버퍼(130)에서 현재 출력되는 프레임 데이터의 다음 어드레스에 해당하는 데이터가 연속적으로 출력된다. 그러나, RE\_read가 하이 레벨이면, 프레임 버퍼(130)에서 이전에 출력된 데이터가 다시 재독출됨을 알 수 있다. 프레임 버퍼(130)에 저장된 데이터의 재독출 동작은 도 7(b)를 참조하여 설명될 수 있다.

<67> 도 7(b)를 참조하면, 이전 기입 프레임의 시작 시점으로부터 다음 독출 프레임이 시작될 때의 기입 시점간의 거리가 M-F로 표시되고, 이전 기입 프레임의 시작 시점으로부터 다음 독출 프레임이 종료될 때 예측되는 기입 시점까지의 구간이  $1/R_{fr}$ (즉, 입력

프레임 속도/출력 프레임 속도)로 표시된다. 또한, 현재 기입 프레임의 시작 시점(F-1)과 다음 독출 프레임이 시작될 때의 기입 시점 사이의 구간이  $P_i$ 로 표시된다.

<68> 제530단계에서 설명된 과정에 의해, 본 발명에서는 입/출력 데이터에 대한 프레임 속도를 높이거나 낮추는 기능이 수행될 수 있다. 따라서, 본 발명에 따른 영상 처리 장치 및 방법은 프레임 속도 변환 시 사용자가 원하는 디스플레이 장치의 프레임 속도를 프로그래머블하게 구현할 수 있다. 따라서, 입력 데이터 특성과, 출력 디스플레이 장치의 제약에 관계없이 안정적으로 디스플레이 할 수 있다는 장점을 나타낸다.

<69> 제538단계 후에, 프레임 버퍼(130)에서 출력되는 데이터는 제2FIFO(140)에 저장되는 과정이 이루어진다. 즉, 제2FIFO(140)의 기입 어드레스와 독출 어드레스의 비교에 의해, 프레임 버퍼(130)로부터 제2FIFO(140)로 데이터를 저장할 것인지 결정되고, 저장된 데이터는 디스플레이 신호로서 출력된다(제540단계). 구체적으로, 제2FIFO(140)의 기입/독출 어드레스 간에 오버플로우(OVF)가 발생하는지가 판단된다(제542단계). 여기에서, 오버플로우(OVF)는 제2FIFO(140)에 입력되는 데이터가 출력 데이터를 앞서는 현상을 나타내며, 제2FIFO(140)의 어드레스에 의해 발생 여부가 판단될 수 있다. 여기에서, 오버플로우(OVF)가 발생하는 것은 제2FIFO(140)의 기입 어드레스가 제2FIFO(140)의 독출 어드레스보다 큰 경우에 다음 수학식의 조건을 만족하는지에 따라서 결정된다.

<70> 【수학식 5】

$$N2 + RADD\_F2 - WADD\_F2 < TH2$$

<71> 여기에서,  $N2$ 는 제2FIFO의 어드레스 사이즈를 나타내고,  $WADD\_F2$ 는 제2FIFO(140)의 기입 어드레스를 나타내고,  $RADD\_F2$ 는 제2FIFO(140)의 독출 어드레스를 나타내고,  $TH2$ 는 사용자에게 의해 설정된 드레스홀드 값을 나타낸다. 따라서,  $RADD\_F2$ 와  $N2$ 의 합에서

WADD\_F2를 뺀 값이 드레스홀드(TH2)보다 작으면, 오버플로우(OVF)가 발생하는 것으로 판단되고, 이 때 OVF는 하이 레벨이 된다. 그러나, 수학식 5를 만족하지 않으면, 오버플로우(OVF)는 발생되지 않는 것으로 판단되며, 로우 레벨 상태를 갖는다. 또한, 기입 어드레스(WADD\_F2)가 독출 어드레스(RADD\_F2)보다 크지 않은 경우에는, 다음 조건이 만족되면 오버플로우 (OVF)가 발생하는 것으로 판단된다.

<72> 【수학식 6】

$$RADD\_F2 - WADD\_F2 < TH2$$

<73> 즉, 수학식 6에 도시된 바와 같이, 독출 어드레스(RADD\_F2)와 기입 어드레스(WADD\_F2)의 차가 드레스홀드(TH2)보다 작은 경우에는 오버플로우가 발생하는 것으로 판단된다. 그러나, 수학식 6의 조건을 만족하지 않으면, 오버플로우(OVF)는 발생되지 않고 로우 레벨로 유지된다. 수학식 5와 6을 참조할 때, 제542단계에서 오버플로우(OVF)가 발생하는 것으로 판단되면, 프레임 버퍼(130)에 저장된 데이터가 제2FIFO(140)로 출력되지 않는다(제548단계). 그러나, 제542단계에서 오버플로우(OVF)가 발생되지 않는 것으로 판단되면, 프레임 버퍼(130)의 데이터는 제2FIFO(140)에 저장된다(제544단계). 또한, 제2FIFO(140)에 저장된 데이터는 출력 디스플레이 포맷에 맞게 디스플레이 신호로서 출력된다 (제546단계).

<74> 도 8은 제2FIFO(140)의 데이터 입출력 흐름을 설명하기 위한 도면이다. 도 8을 참조하면, 참조 부호 82는 제2FIFO(140)의 데이터 입력을 나타내고, 참조 부호 84는 제2FIFO(140)의 데이터 출력을 나타낸다. 즉, 프레임 버퍼(130)의 데이터 독출 구간( $T_R$ )에서만 제2FIFO(140)로의 데이터 독출이 이루어지고, 다른 구간에서는 제2FIFO(140)로 데이터가 입력되지 않는다. 프레임 버퍼(130)에서 제2FIFO(140)로 데이터가 독출되는

구간( $T_R$ )에서 프레임 버퍼 제어부(154)는 제2프레임 데이터 인에이블 신호(FDEN2)를 액티브시켜 제2FIFO(140)로 데이터가 입력되도록 제어한다. 그러나, 구간( $T_R$ ) 중에서도 오버플로우(OVF)가 발생하는 구간에서는, 프레임 버퍼 제어부(154)에서 제2FIFO 제어부(156)로 인가되는 FDEN2를 인액티브시킴으로써 프레임 버퍼(130)에서 제2FIFO(140)로 데이터가 입력되지 않게 한다.

<75>        이상과 같은 과정을 통하여, PIP 기능을 수행하면서 디스플레이 장치를 위한 프레임 속도 변환 과정이 동시에 수행될 수 있다.

<76>        본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<77>        본 발명에 따르면, 각각의 FIFO 및 프레임 버퍼등의 메모리를 효율적으로 운용할 뿐만 아니라, PIP기능 수행 시 하나의 프레임 버퍼만을 사용함으로써 시스템 사이즈 면에서 효율성을 높일 수 있다는 효과가 있다. 또한, PLL을 사용하지 않고 간단한 데이터 동기화 회로를 이용하여 프레임 속도 변환을 수행함으로써 데이터의 손실을 방지하면서 최소한의 메모리를 이용한 프레임 속도 변환을 수행할 수 있다는 효과가 있다. 또한, 본 발명에 따른 영상 처리 장치는 프레임 속도 변환 시 사용자가 원하는 디스플레이 장치의 프레임 속도를 프로그래머블하게 구현함으로써 다양한 입력 포맷을 지원할 수 있다는 효과가 있다.

## 【특허청구범위】

## 【청구항 1】

서로 다른 채널을 통하여 인가되는 다수의 비동기적인 입력 데이터들을 하나의 디스플레이 장치에 디스플레이하고, 상기 입력 데이터들의 프레임 속도를 디스플레이 장치의 출력 프레임 속도에 맞게 변환하는 영상 처리 장치에 있어서,

2개 이상의 채널을 통하여 외부에서 비동기적으로 입력되는 입력 데이터들을 서로 다른 입력 클럭 신호들에 의해서 버퍼링하고, 상기 버퍼링된 결과를 제1데이터들 및 제1데이터 인에이블 신호들로서 출력하는 입력 버퍼부;

상기 입력 클럭 신호들과 상기 제1데이터 인에이블 신호들에 응답하여 상기 입력 버퍼부로부터 인가되는 상기 제1데이터를 출력 클럭 신호에 동기시키고, 상기 동기된 데이터들을 각각의 제1데이터 인에이블 신호에 응답하여 제2데이터들과 제2데이터 인에이블 신호들로서 출력하는 데이터 동기화부;

상기 제2데이터들을 시간적으로 멀티플렉싱하여 서로 다른 영역에 저장하고, 제1메모리 인에이블 신호에 응답하여 상기 저장된 데이터를 출력하는 제1메모리;

상기 제1메모리에서 출력되는 데이터를 소정의 프레임 버퍼 제어 신호에 응답하여 기입 및 독출하는 제2메모리;

상기 제2메모리에서 출력되는 데이터를 저장하고, 상기 저장된 데이터를 제2메모리 인에이블 신호에 응답하여 디스플레이 신호로서 출력하는 제3메모리; 및

상기 제1메모리와 상기 제2메모리 간의 데이터 흐름을 제어하기 위해 상기 제1메모리 인에이블 신호를 생성하고, 상기 제1, 제2입력 데이터와 상기 디스플레이 신호의

데이터 프레임 속도를 제어하기 위해 상기 프레임 버퍼 제어 신호를 생성하며, 상기 제2 메모리와 상기 제3메모리 간의 데이터 흐름을 제어하기 위해 상기 제2메모리 인에이블 신호를 생성하는 메모리 제어부를 구비하는 것을 특징으로 하는 영상 처리 장치.

## 【청구항 2】

제1항에 있어서, 상기 데이터 동기화부는,

상기 제1데이터들을 상기 출력 클럭 신호에 동기시키는 다수의 데이터 동기화부들을 포함하며, 상기 다수의 데이터 동기화부들은,

상기 제1데이터 인에이블 신호들과 상기 입력 클럭 신호들에 응답하여 상기 제1메모리의 기입 어드레스를 카운팅하고, 상기 카운팅된 기입 어드레스를 출력하는 기입 어드레스 카운터;

상기 카운팅된 기입 어드레스에 응답하여 상기 제1데이터들을 디멀티플렉싱하고, 상기 디멀티플렉싱된 데이터들을 선택적으로 출력하는 디멀티플렉서;

상기 디멀티플렉싱된 데이터들을 저장하기 위한 다수의 병렬 레지스터들을 포함하는 병렬 버퍼;

상기 카운팅된 기입 어드레스를 상기 출력 클럭 신호의 주파수 영역으로 주파수 변환하고, 상기 주파수 변환된 결과를 출력하는 주파수 변환 모듈;

상기 제2데이터 인에이블 신호들과 상기 출력 클럭 신호에 응답하여 상기 제1메모리의 독출 어드레스를 카운팅하고, 상기 카운팅된 독출 어드레스를 출력하는 독출 어드레스 카운터;

상기 주파수 변환된 기입 어드레스와 상기 카운팅된 독출 어드레스로부터 상기 제1메모리의 언더플로우를 검출하고, 상기 검출된 결과를 출력하는 언더플로우 검출부;

상기 검출된 언더플로우에 응답하여 상기 제2데이터 인에이블 신호들을 생성하는 그래픽 인에이블 신호 발생부; 및

상기 카운팅된 독출 어드레스에 응답하여 상기 병렬 버퍼에 저장된 데이터들을 선택적으로 상기 제2데이터로서 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 영상 처리 장치.

#### 【청구항 3】

제1항에 있어서, 상기 입력 버퍼부는,

제 1채널을 통하여 입력되는 그래픽 데이터를 그래픽 클럭 신호에 응답하여 버퍼링하고, 상기 버퍼링된 결과를 제1그래픽 데이터와 제1그래픽 인에이블 신호로서 출력하는 제1입력 버퍼; 및

제2채널을 통하여 입력되는 비디오 데이터를 비디오 클럭 신호에 응답하여 버퍼링하고, 상기 버퍼링된 결과를 제1비디오 데이터와 제1비디오 인에이블 신호로서 출력하는 제2입력 버퍼를 포함하는 것을 특징으로 하는 영상 처리 장치.

#### 【청구항 4】

제3항에 있어서, 상기 데이터 동기화부는,

상기 제1그래픽 데이터를 상기 그래픽 클럭 신호에 응답하여 입력하고, 상기 입력된 데이터를 상기 출력 클럭 신호에 동기시켜 제2그래픽 데이터와 제2그래픽 인에이블 신호를 생성하는 제1데이터 동기화부; 및



상기 제1비디오 데이터를 상기 비디오 클럭 신호에 응답하여 입력하고, 상기 입력된 데이터를 상기 출력 클럭 신호에 동기시켜 제2비디오 데이터와 제2비디오 인에이블 신호를 생성하는 제2데이터 동기화부를 포함하는 것을 특징으로 하는 영상 처리 장치.

#### 【청구항 5】

제4항에 있어서, 상기 제1메모리는,

서로 다른 저장 영역으로 구분되며, 상기 제1, 제2데이터 동기화부에서 출력되는 제2그래픽 데이터 및 상기 제2비디오 데이터를 상기 제1메모리 인에이블 신호에 응답하여 선택적으로 저장하는 제1FIFO(First In First Out)으로 구현되는 것을 특징으로 하는 영상 처리 장치.

#### 【청구항 6】

제5항에 있어서, 상기 제2메모리는,

상기 제1FIFO에 저장된 데이터를 적어도 1프레임 이상 저장하는 프레임 버퍼로 구현되는 것을 특징으로 하는 영상 처리 장치.

#### 【청구항 7】

제6항에 있어서, 상기 제3메모리는,

상기 제2메모리로부터 출력되는 데이터를 상기 제2메모리 인에이블 신호에 응답하여 상기 디스플레이 신호로서 출력하는 제2FIFO로 구현되는 것을 특징으로 하는 영상 처리 장치.

## 【청구항 8】

제7항에 있어서, 상기 메모리 제어부는,

상기 제2그래픽 인에이블 신호와 상기 지연된 제2비디오 인에이블 신호 및 제1프레임 데이터 인에이블 신호에 응답하여 상기 제1메모리 인에이블 신호를 생성하며, 상기 제1FIFO의 기입 어드레스와 독출 어드레스간의 언더플로우를 검출하고, 상기 검출된 결과에 따라서 상기 제1FIFO의 데이터 기입 및 독출을 제어하는 제1FIFO 제어부;

제2프레임 데이터 인에이블 신호와 출력 인에이블 신호에 응답하여 상기 제2메모리 인에이블 신호를 생성하며, 상기 제2FIFO의 기입 어드레스와 독출 어드레스 간의 오버플로우를 검출하고, 상기 검출된 결과에 따라서 상기 제2FIFO의 데이터 기입 및 독출을 제어하는 제2FIFO 제어부; 및

상기 프레임 버퍼에 입력되는 입력 데이터들과 출력 디스플레이 신호의 프레임 속도를 비교하고, 상기 비교된 결과에 응답하여 상기 제1, 제2입력 버퍼의 데이터들을 블러킹하는 입력 블러킹 신호를 생성하여 상기 제1, 제2입력 버퍼로 인가하고, 상기 언더플로우 및 상기 오버플로우에 의해서 상기 제1, 제2프레임 데이터 인에이블 신호 및 상기 프레임 버퍼 제어 신호를 생성하는 프레임 버퍼 제어부를 구비하는 것을 특징으로 하는 영상 처리 장치.

## 【청구항 9】

제4항에 있어서, 상기 영상 처리 장치는,

상기 제2데이터 동기화부로부터 출력되는 상기 제2비디오 데이터를 그래픽 데이터로 변환하고, 상기 변환된 그래픽 데이터를 상기 제1메모리의 비디오 영역으로

출력하고, 상기 제2비디오 인에이블 신호를 소정 시간 지연시켜 상기 메모리 제어부와  
상기 제1데이터 동기화부로 출력하는 칼라 스페이스 변환부를 더 구비하는 것을 특징으  
로 하는 영상 처리 장치.

#### 【청구항 10】

서로 다른 채널을 통하여 인가되는 다수의 비동기적인 입력 데이터들을 하나의 디  
스플레이 장치에 디스플레이하고, 상기 입력 데이터들의 프레임 속도를 디스플레이 장치  
의 출력 프레임 속도에 맞게 변환하는 영상 처리 방법에 있어서,

(a) 상기 다수의 입력 데이터들을 각각의 입력 클럭 신호에 의해 버퍼링하고, 상기  
버퍼링된 각 데이터를 출력 클럭 신호에 동기시키는 단계;

(b)상기 출력 클럭 신호에 동기된 상기 다수의 입력 데이터들을 각각의 입력 인에  
이블 신호에 응답하여 제1메모리에 저장하는 단계;

(c) 상기 제1메모리의 기입 어드레스와 독출 어드레스를 비교하여 상기 제1메모리  
에 저장된 데이터를 제2메모리에 저장할 것인지를 결정하는 단계;

(d)상기 다수의 입력 데이터의 프레임 속도와 출력 디스플레이 신호의 프레임 속도  
를 비교하여 상기 제2메모리의 데이터 기입 및 독출을 제어하는 단계; 및

(e)제3메모리의 기입 어드레스와 독출 어드레스를 비교하여 상기 제2메모리의 출력  
데이터를 제3메모리에 저장할 것인지를 결정하고, 상기 제3메모리에 저장된 데이터를  
상기 디스플레이 장치에 나타내기 위한 디스플레이 신호를 출력하는 단계를 구비하는 것  
을 특징으로 하는 영상 처리 방법.

**【청구항 11】**

제10항에 있어서, 상기 (b)단계는,

(b1) 상기 다수의 입력 데이터들 중 제1입력 데이터를 위한 인에이블 신호가 액티브되었는가를 판단하는 단계;

(b2) 상기 제1입력 데이터를 위한 인에이블 신호가 액티브되었으면 상기 출력 클럭 신호에 동기된 상기 제1입력 데이터를 상기 제1메모리에 저장하는 단계;

(b3) 상기 (b1)단계에서 상기 제1입력 데이터를 위한 인에이블 신호가 액티브되지 않았다면 제2입력 데이터를 위한 인에이블 신호가 액티브되었는가를 판단하는 단계; 및

(b4) 상기 제2입력 데이터를 위한 인에이블 신호가 액티브되었으면, 상기 출력 신호에 동기된 제2입력 데이터를 상기 제1메모리에 저장하는 단계를 구비하는 것을 특징으로 하는 영상 처리 방법.

**【청구항 12】**

제10항에 있어서, 상기 (b) 단계는,

상기 제1메모리의 서로 다른 영역에 제1입력 데이터 및 제2입력 데이터가 시간적으로 멀티플렉싱되어 저장되는 것을 특징으로 하는 영상 처리 방법.

**【청구항 13】**

제10항에 있어서, 상기 (c)단계는,

(c1) 상기 제1메모리의 기입 어드레스와 독출 어드레스 간에 언더플로우가 발생되는가를 판단하는 단계;

(c2)상기 언더플로우가 발생하는 것으로 판단되면, 상기 제1메모리에서 상기 제2메모리로의 데이터 출력을 중지하는 단계; 및

(c3)상기 언더플로우가 발생되지 않는 것으로 판단되면, 상기 제1메모리에 저장된 상기 제1입력 데이터 또는 상기 제2입력 데이터를 상기 제2메모리에 저장하는 단계를 구비하는 것을 특징으로 하는 영상 처리 방법.

#### 【청구항 14】

제10항에 있어서, 상기 (c1)단계는,

(c11) 상기 기입 어드레스가 상기 독출 어드레스보다 더 큰가를 판단하는 단계;

(c12)상기 기입 어드레스가 상기 독출 어드레스보다 더 큰 것으로 판단되면, 다음 조건;

$$WADD\_F1 - RADD\_F1 < TH1$$

을 만족하는 경우에 상기 언더플로우가 발생하는 것으로 판단하는 단계; 및

(c13) 상기 c11단계에서 상기 기입 어드레스가 상기 독출 어드레스보다 더 크지 않은 것으로 판단되면, 다음 조건;

$$N1 + WADD\_F1 - RADD\_F1 < TH1$$

을 만족하는 경우에 상기 언더플로우가 발생하는 것으로 판단하는 단계를 구비하고,

상기 WADD\_F1는 상기 제1메모리의 기입 어드레스를 나타내고, 상기 RADD\_F1는 상기 제1메모리의 독출 어드레스를 나타내고, 상기 TH1은 미리 설정된 드레스홀드 값을 나타

내고, 상기 N1은 상기 제1메모리의 제1입력 데이터 또는 상기 제2입력 데이터를 위해 구분된 어드레스 사이즈를 나타내는 것을 특징으로 하는 영상 처리 방법.

#### 【청구항 15】

제10항에 있어서, 상기 (d)단계는,

(d1)상기 제1 또는 제2입력 데이터의 프레임 속도가 상기 출력 디스플레이 신호의 프레임 속도보다 큰가를 판단하는 단계;

(d2) 상기 입력 데이터의 프레임 속도가 상기 디스플레이 신호의 프레임 속도보다 큰 것으로 판단되면, 상기 제1 또는 제2입력 데이터의 1프레임을 블러킹하여 입력을 차단하는 단계;

(d3)상기 (d1)단계에서 상기 입력 데이터의 프레임 속도가 상기 디스플레이 신호의 프레임 속도보다 크지 않은 것으로 판단되면, 상기 입력 데이터의 프레임 속도가 상기 출력 디스플레이 신호의 프레임 속도보다 작은가를 판단하는 단계; 및

(d4)상기 입력 데이터의 프레임 속도가 작은 것으로 판단되면, 상기 제2메모리에 저장된 상기 제1 또는 제2입력 데이터를 1프레임 반복하여 독출하는 단계를 구비하는 것을 특징으로 하는 영상 처리 방법.

#### 【청구항 16】

제15항에 있어서, 상기 (d2)단계는,

다음 조건;

$$M-F+P_i+R_{fr}>F$$

을 만족하지 않는 경우에, 상기 제1 또는 제2입력 데이터를 블러킹하고,

상기 M은 저장 가능한 제2메모리의 사이즈를 나타내고, F는 1프레임의 이미지 사이즈를 나타내고, P<sub>i</sub>는 상기 제2메모리에서 1프레임 데이터의 입력이 시작될 때 현재 독출하고 있는 프레임 데이터의 위치를 나타내고, R<sub>fr</sub>은 출력 프레임 속도/입력 프레임 속도를 나타내는 것을 특징으로 하는 영상 처리 방법.

#### 【청구항 17】

제14항에 있어서, 상기 (d4)단계는,

다음 조건;

$$P_i + \frac{1}{R_{fr}} > F, P_i > M - F$$

을 만족하지 않는 경우에, 상기 제2메모리에 저장된 데이터의 1프레임을 반복하여 독출하는 것을 특징으로 하는 영상 처리 방법.

#### 【청구항 18】

제10항에 있어서, 상기 (e) 단계는,

(e1) 상기 제3메모리의 기입어드레스와 독출 어드레스 간에 오버플로우가 발생되는가를 판단하는 단계;

(e2) 상기 오버플로우가 발생하는 것으로 판단되면, 상기 제2메모리에서 상기 제3메모리로의 데이터 출력을 중지하는 단계;

(e3) 상기 제3메모리의 기입 어드레스와 독출 어드레스 간에 상기 오버플로우가 발생되지 않는 것으로 판단되면, 상기 제2메모리의 데이터를 상기 제3메모리에 저장하는 단계; 및

(e4) 상기 제3메모리에 저장된 데이터를 출력 디스플레이 포맷에 맞게 상기 디스플레이 신호로서 출력하는 단계를 구비하는 것을 특징으로 하는 영상 처리 방법.

【청구항 19】

제18항에 있어서, 상기 (e1)단계는,

(e11) 상기 제3메모리의 기입 어드레스가 상기 독출 어드레스보다 더 큰가를 판단하는 단계;

(e12) 상기 기입 어드레스가 상기 독출 어드레스보다 더 큰 것으로 판단되면, 다음 조건;

$$N2 + RADD\_F2 - WADD\_F2 < TH2$$

을 만족하는 경우에 상기 오버플로우가 발생하는 것으로 판단하는 단계; 및

(e13) 상기 e11단계에서 상기 기입 어드레스가 상기 독출 어드레스보다 더 크지 않은 것으로 판단되면, 다음 조건;

$$RADD\_F2 - WADD\_F2 < TH2$$

을 만족하는 경우에 상기 오버플로우가 발생하는 것으로 판단하는 단계를 구비하고,

상기 WADD\_F2는 상기 제3메모리의 기입 어드레스를 나타내고, 상기 RADD\_F2는 상기 제3메모리의 독출 어드레스를 나타내고, 상기 TH2은 미리 설정된 드레스홀드 값을 나타내고, 상기 N2는 상기 제3메모리의 어드레스 사이즈를 나타내는 것을 특징으로 하는 영상 처리 방법.

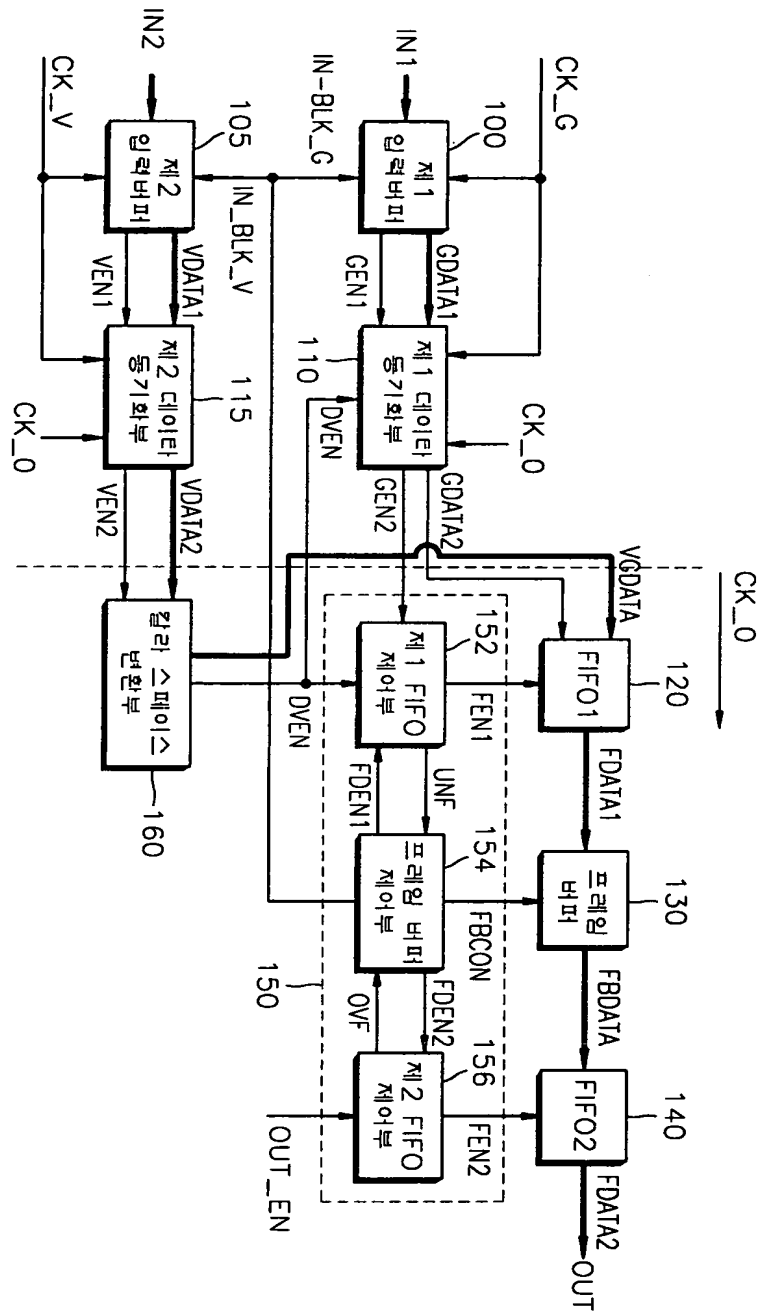


**【청구항 20】**

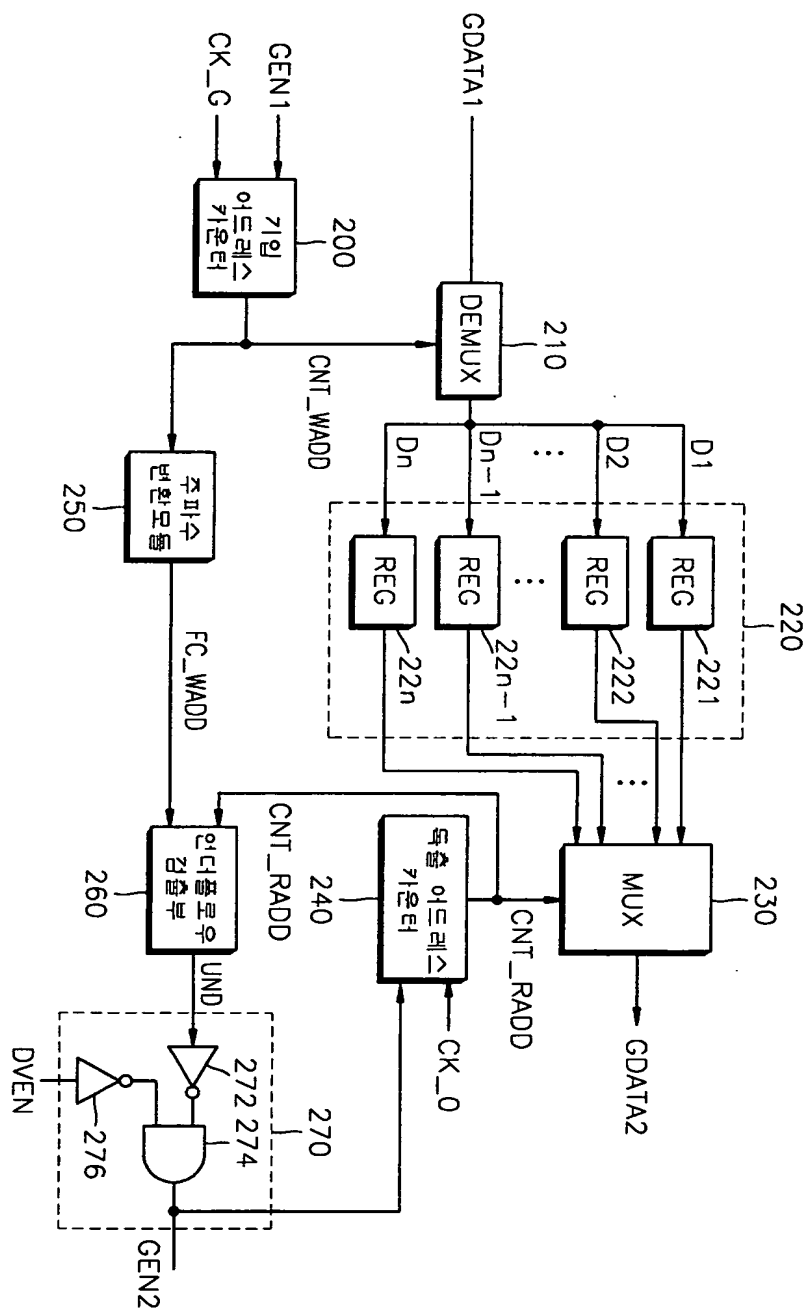
제10항에 있어서, 상기 제1 및 제2입력 데이터는 각각 R/G/B를 나타내는 그래픽 데이터 및 휘도(Y)/색차 신호(U/V)를 나타내는 비디오 데이터인 것을 특징으로 하는 영상 처리 방법.

## 【도면】

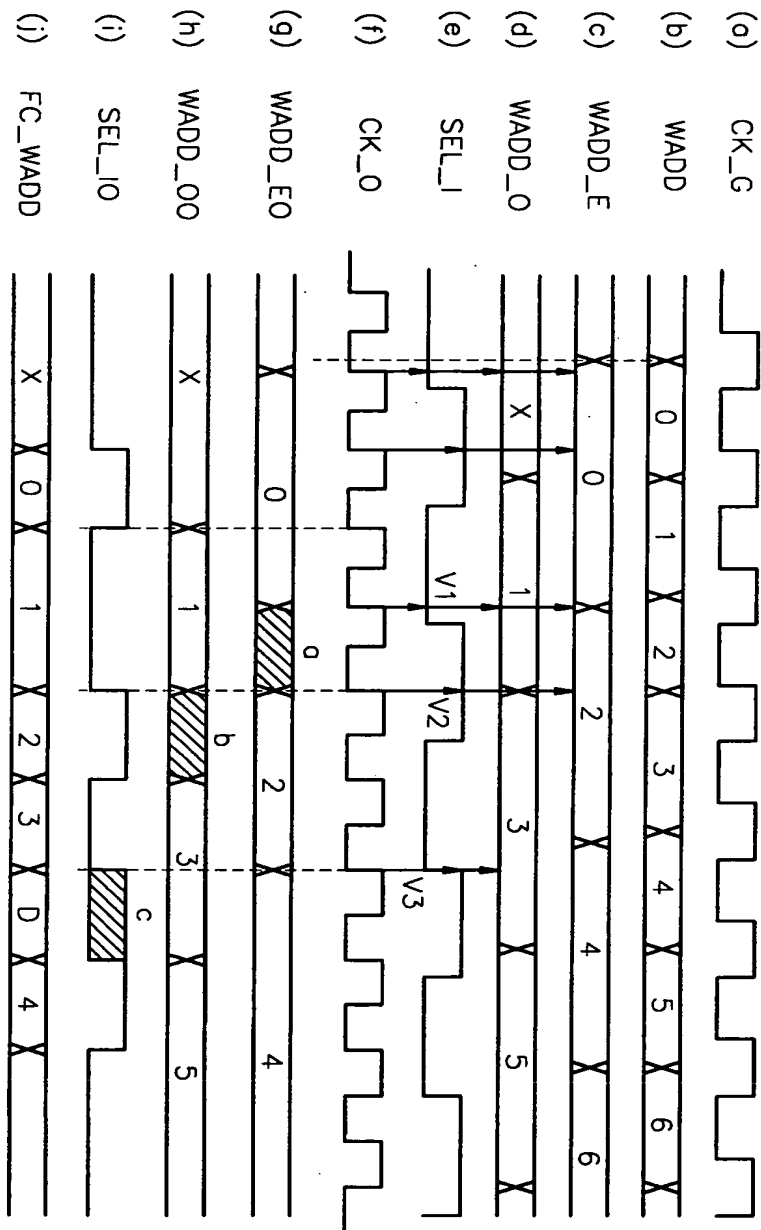
## 【도 1】



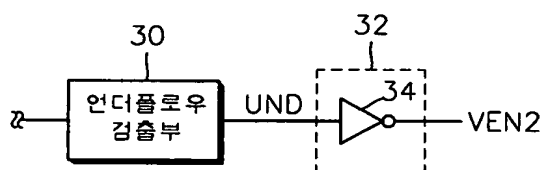
【도 2】



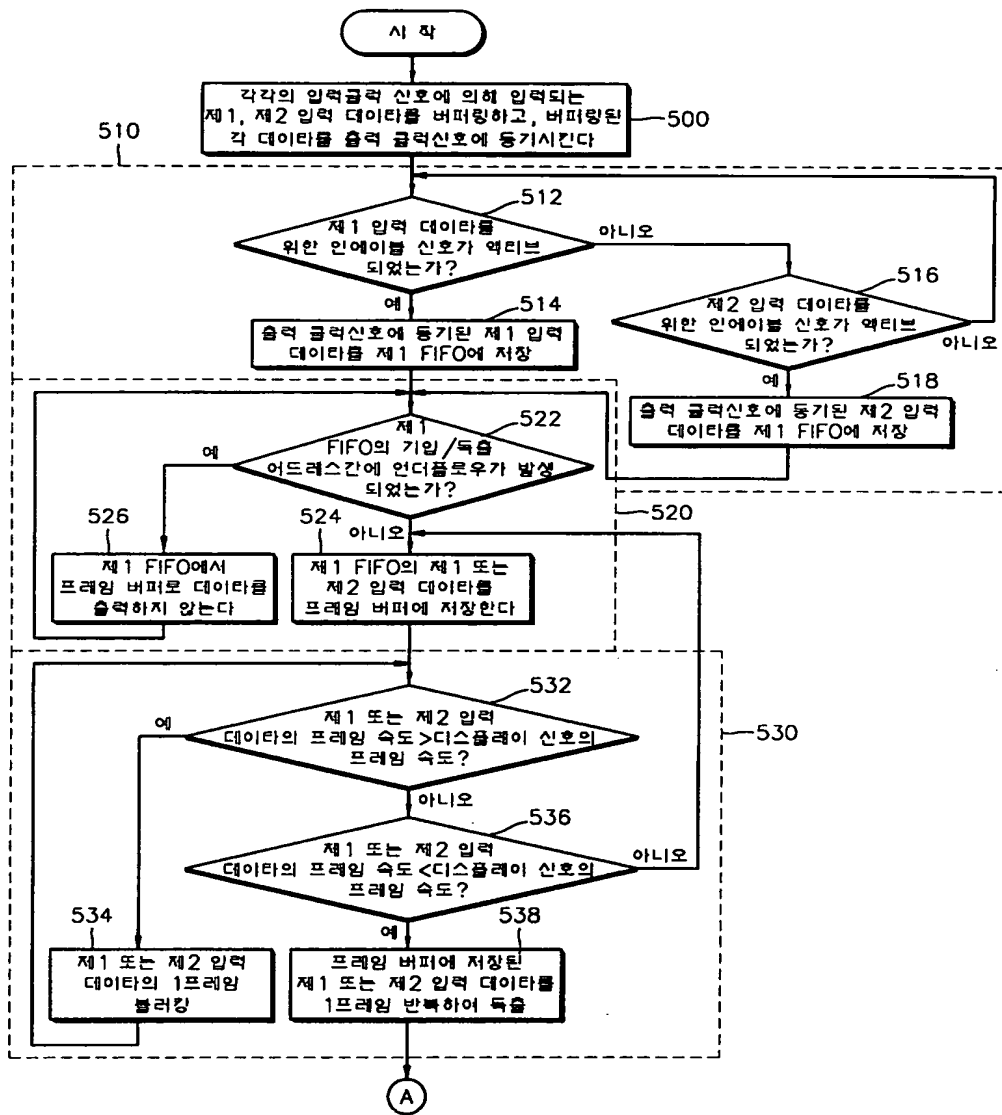
【图 3】



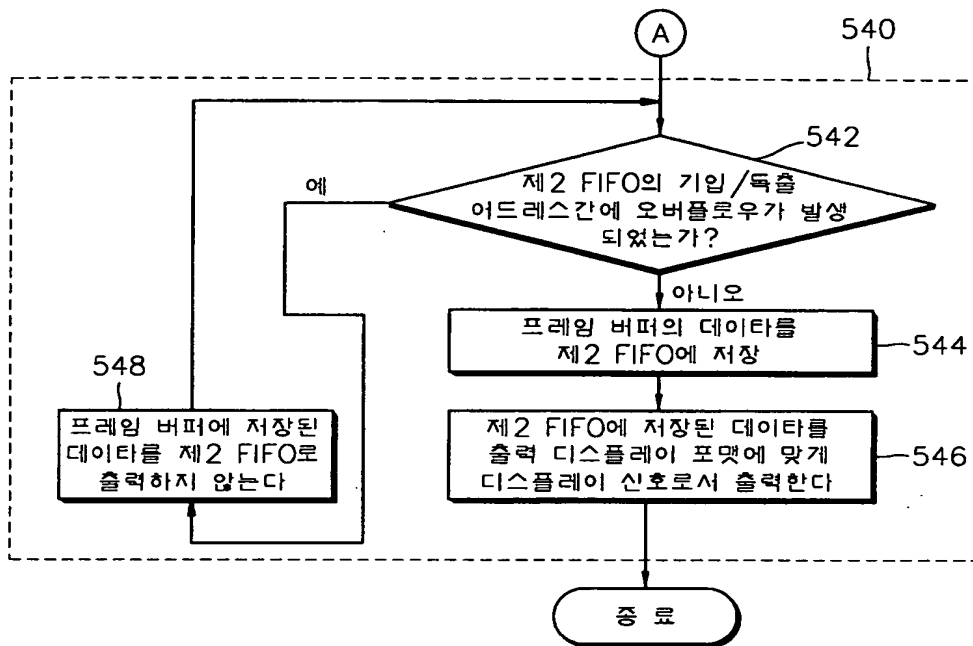
【图 4】



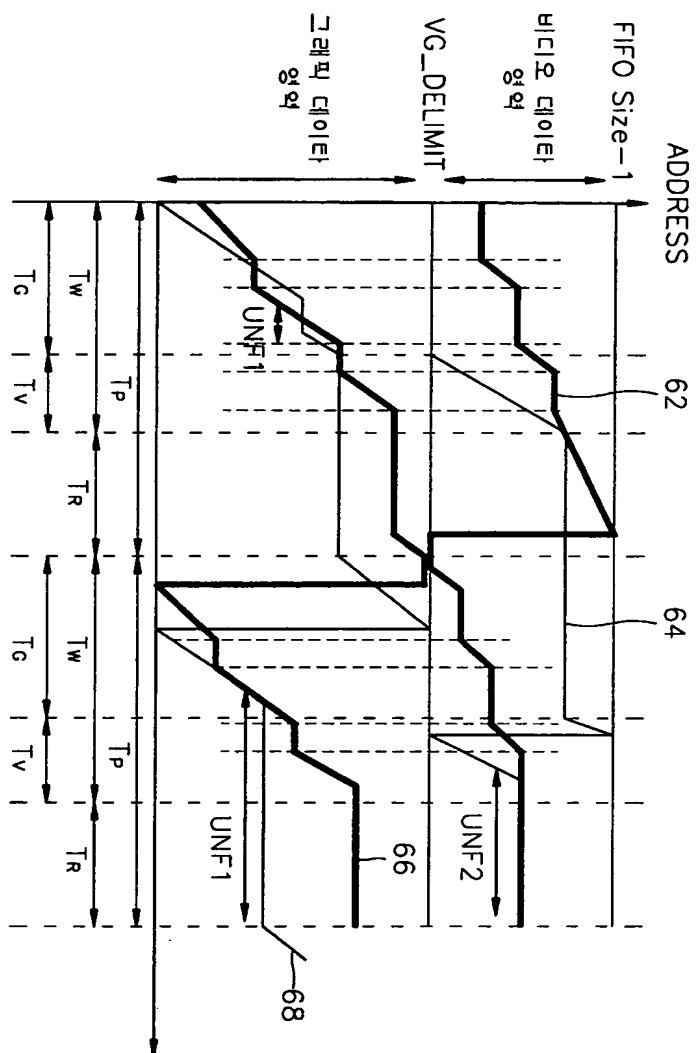
【도 5a】



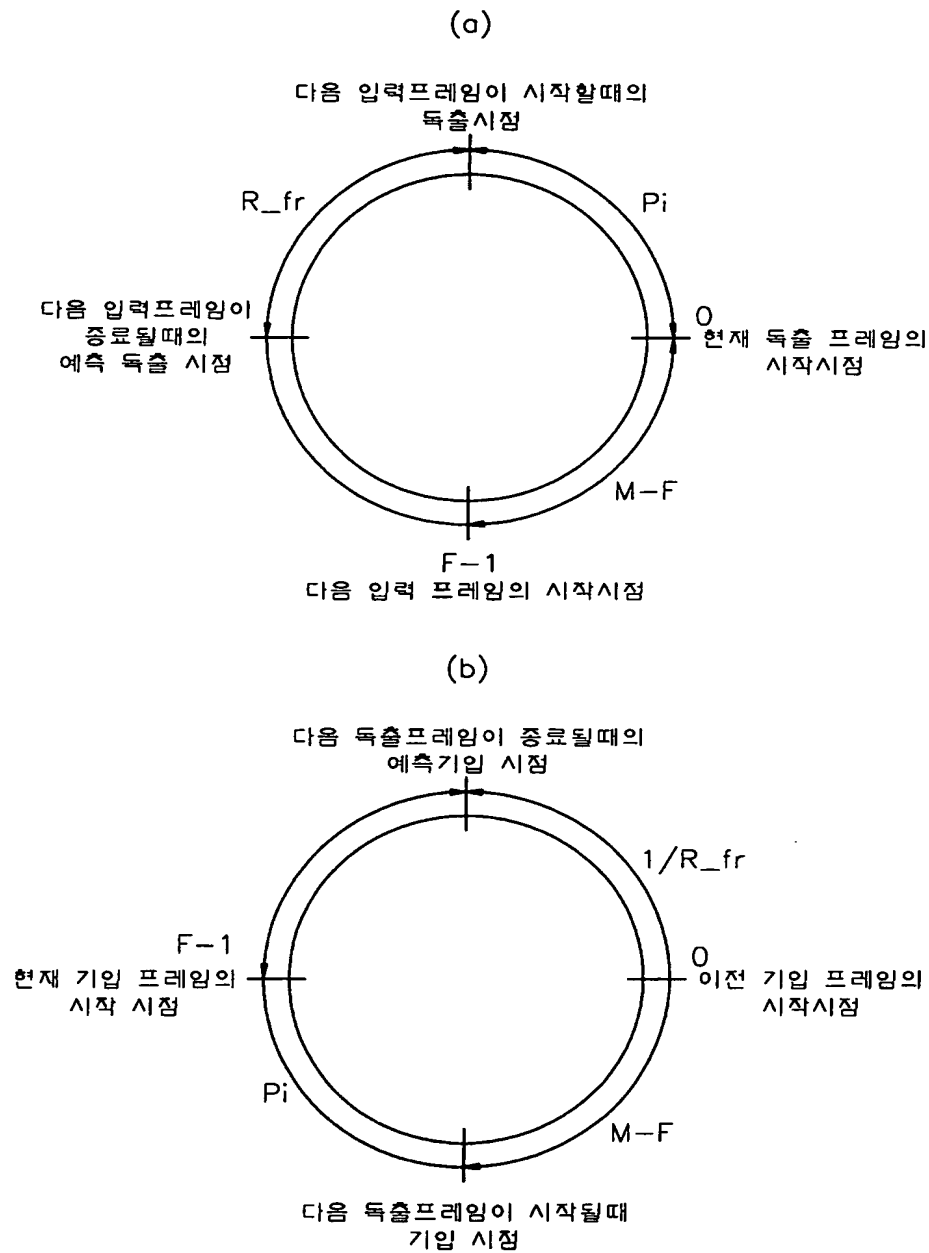
【도 5b】



【표 6】



【도 7】





【도 8】

